

УДК 044.272.43(045)

К.т.н. Клименко І.А., магістранти Біляєв С.М., Пономарчук Д.С.

Національний технічний університету України «КПІ»
Національний авіаційний університет

ПРОЦЕСОРНЕ ЯДРО ДЛЯ ОБЧИСЛЮВАЛЬНОЇ СИСТЕМИ НА ПЛІС

Abstract

*Iryna A. Klymenko, assoc. prof., PhD; Sergii M. Biliaiev, student;
Dmitriy S. Ponomarchuc student*

The processor for the system-on-chip on FPGA

The project of processor for the system-on-chip which by module organization and microprogramming control enables changing the number of bit of the processed words and adaptation to the different classes of the applied tasks without the change of device architecture.

Вступ

Підвищення продуктивності обчислювальних систем (ОС) потребує використання сучасних технічних досягнень на всіх рівнях їх проектування. На нижньому логічному рівні це використання сучасної швидкодіючої елементної бази. На рівні архітектури основним напрямком підвищення продуктивності є перехід від послідовної машини фон-Неймана до паралельних обчислювальних систем.

Вдосконалення елементної бази завжди було одним з ефективних методів підвищення продуктивності обчислювальних систем. Протягом декількох десятиріч єдиною альтернативою ефективною реалізації спеціалізованих пристроїв для розв'язку задач високої складності були замовні інтегральні мікросхеми класу *ASIC* [1]. Такі пристрої виготовляються на кристалах з високою щільністю монтажу, за рахунок відсутності якої-небудь надмірності архітектури й внутрішніх зв'язків мають високу швидкодію і низьку споживану потужність. Однак високі витрати при проектуванні, використання високотехнологічних виробничих процесів, неможливість модифікації готового виробу істотно підвищують ціну на такі пристрої. Значному підвищенню продуктивності, швидкодії й зменшенню вартості цифрових пристроїв, виконаних на одному кристалі, сприяв стрімкий розвиток програмованих логічних інтегральних схем (ПЛІС). Перехід сучасних ПЛІС на якісно новий рівень пов'язаний зі значним збільшенням їх ступеня інтеграції до декількох мільйонів логічних вентилів і підвищенням

швидкодії. Це відкрило нові перспективи у виробництві й поліпшенні параметрів цифрових пристроїв.

Другим традиційним напрямком підвищення ефективності обчислювальних систем і досягнення найкращого співвідношення ціни й продуктивності є розробка нової структури і принципів організації обчислень, які ґрунтуються на використанні паралелізму [2]. На сьогодні широке розповсюдження отримали багатопроцесорні обчислювальні системи на кристалі. У наукових публікаціях за останні роки описані багато досліджень у цій області [1, 3].

Обчислювальні системи на ПЛІС мають ряд переваг перед звичайними обчислювальними системами середньої і високої продуктивності. Такі системи розробляють безпосередньо для розв'язку спеціалізованих задач, реалізують спеціалізовані команди користувача та одержують потрібну користувачеві периферію, мають значно менший розмір та ціну, високу швидкодію, високу надійність за рахунок, в першу чергу, відсутності паяних з'єднань. Системи на кристалі з високою ефективністю можуть бути реалізовані на замовних ІС, але як вже було зазначено, виробництво таких мікросхем – досить коштовний процес. Сучасні ПЛІС мають доступну ціну і є не дорогою альтернативою замовленим ІС. Скільки завгодно складні пристрої можуть досить швидко розроблятися в лабораторних умовах, налагодження, випробування пристроїв, а також їх модифікація можуть проходити на місці замовлення. Пристрої створені на ПЛІС мають перспективи масового виробництва складних високопродуктивних обчислювальних систем. Таким чином ПЛІС є ідеальною елементною базою для реалізації паралельних обчислювальних систем.

Постановка задачі

Універсальні мікропроцесори загального призначення можуть реалізувати будь-який алгоритм. Але за швидкістю такі процесори не можна порівнювати з обчислювальними системами на кристалі, створеними на ПЛІС, які розробляються з метою виконання конкретних функцій для рішення спеціалізованих задач. Як обчислювальні вузли звичайно використовуються процесори з певною системою команд і конкретною розрядністю.

Метою роботи є підвищення ефективності процесорного ядра системи за рахунок модульної організації та мікропрограмного управління, що дає можливість легкої зміни розрядності слів, що обробляються, та адаптації до різних класів прикладних задач заміною системи команд і завантаження їх у пам'ять мікрокоманд без будь-яких змін в архітектурі пристрою.

Процесорне ядро на ПЛІС

Представлений проект процесорного ядра з *RISC* архітектурою на ПЛІС. Проект розроблений для ПЛІС сімейства *Cyclon II* фірми *Altera*. Пристрій синтезований на мові *VHDL*.

Сімейство мікросхем *FPGA Cyclone II* лідирує на ринку ПЛІС, завдяки великій кількості логічних комірок, продуктивності, невисокій ціні, а також широкому додатковому набору вбудованих функцій. Дані ПЛІС випускаються по 90-нм технологічному процесі з напругою живлення ядра 1,2 В. Основні характеристики сімейства [4]: кількість логічних комірок – від 4608 до 68416; містять вбудовану пам'ять обсягом до 1,1 Мбіт із блочною організацією по 4608 біт у кожному блоці; до 70 вбудованих помножувачів; підтримують широкий набір стандартів вводу/виводу.

Процесор реалізує команди читання/запису до основної пам'яті, команди вводу/виводу до зовнішніх пристроїв, арифметичні та логічні команди над операндами в регістрах внутрішньої оперативної пам'яті за один такт роботи системи. Основними компонентами процесорного ядра є блок мікропрограмного управління (БМУ), блок обробки даних (БОД) та інтерфейс системної шини. Пристрої поєднані між собою локальною шиною.

Блок мікропрограмного управління реалізує шістнадцять мікроінструкцій для формування адреси наступної мікрокоманди. У склад БМУ входить пам'ять мікрокоманд (ПМК), що містить мікропрограми реалізації системи команд процесорного ядра.

В системі команд реалізовані два формати команд: одноадресні для реалізації системних команд, команд передачі управління та команд вводу/виводу; двоадресні – для виконання арифметичних та логічних операцій. Реалізовані різні типи адресації даних.

Шістнадцятирозрядний блок обробки даних процесорного ядра містить цілочисельний шістнадцятирозрядний арифметико-логічний пристрій (АЛП) та схему управління зсувами й ознаками (СУЗО). У склад АЛП входить надоперативний запам'ятовуючий пристрій (НОЗП), що містить 16 регістрів та акумулятор. Блок НОЗП застосовується для тимчасового зберігання проміжних результатів на протязі часу виконання команди. Регістр команди, лічильник команд, покажчик стеку входять до складу регістрів НОЗП. Доступ до цих регістрів відбувається за тими самими мікроалгоритмами, що і до робочих регістрів НОЗП. Це прискорює швидкість розшифрування команди, формування адреси нової команди та зменшує архітектурну складність пристрою. Акумулятор застосовується для обробки слів подвійної довжини в одному такті роботи системи. В роботі [1] приведені результати часового моделювання блоку НОЗП у САПР *Quartus II*.

Основні параметри БОД, отримані під час моделювання у САПР *Quartus II*. Часове моделювання у САПР *Quartus II* виконується після розміщення та трасування проекту з урахуванням реальних затримок і часу розповсюдження сигналів на мікросхемі заданого сімейства та типу. Часові параметри за цього на 90% наближені до реальних [4]. За результатами моделювання БОД зайняв 904 логічних комірки, що становить 3% від усієї елементної бази. На етапі випробувань мінімальний час циклу виконання команди близько 30 нс. З них до 25 нс витрачені на розповсюдження мікроінструкцій по шинам управління, виконання мікрооперації, збереження ознак та отримання результатів в регістрах НОЗП. Отримані дані порівняні з часовими характеристиками відомого процесорного елемента *Am2903* фірми *Advanced Micro Devices* [5]. Тут на формування результатів у регістрах НОЗП витрачається 93 нс, а повний цикл займає 120 нс.

Висновки та перспективи подальшої роботи

Розроблений процесор може бути застосований для реалізації багато-процесорної обчислювальної системи на кристалі. Часове моделювання в САПР *Quartus II* показує значний вигравш у швидкодії роботи процесора у порівнянні з відомим процесором [5], реалізованим на стандартній елементній базі.

Як перспективи підвищення продуктивності розробленого пристрою слід зазначити, що БОД легко модифікується в напрямку підвищення розрядності слів, які обробляються, за рахунок модульної структури АЛП. Адаптація до розв'язку різних класів прикладних задач відбувається досить легко на рівні зміни системи команд і завантаження їх у пам'ять мікрокоманд без будь яких змін в архітектурі пристрою. Обчислювальні вузли системи можуть реалізувати різні функції загальної системи команд обчислювальної системи. Виконання складних операцій реалізується шляхом послідовного виконання елементарних мікрооперацій в АЛП, що збільшує часові затримки. Для підвищення швидкодії обчислень доцільно включати в систему арифметичні розширювачі, сопроцесори для обробки слів із плаваючою комою та для реалізації спеціалізованих функцій залежно від цільового призначення обчислювальної системи. Підвищення продуктивності, за рахунок додавання спеціалізованих модулів у склад системи, та збільшення обчислювальної потужності, за рахунок збільшення кількості процесорних ядер, легко досягається за застосування модульної архітектури системи [2].

Література

1. Жуков І.А., Клименко І.А. Модуль оперативної пам'яті для *RISK* процесора на ПЛІС // Проблеми інформатизації та управління: Зб.наук.пр.– К.: НАУ, 2009.– Вип.2 (28). – С. 50-54.
2. Жабин В.И. Архитектура вычислительных систем реального времени. – К.: ВЕК +, 2003. – 176 с.
3. Balkan A., Qu G., Vishkin U. An area-efficient high-throughput hybrid interconnection network for single-chip parallel processing // Proc. IEEE/ACM Design Automation Conference (DAC). – 2008. – P. 73 – 80.
4. Cyclone II Device Handbook – <http://www.altera.com>.
5. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией: Пер с англ. – М.: Мир, 1984. – Кн. 1. – 253 с.